

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-102955

(43)Date of publication of application : 23.04.1993

(51)Int.Cl. H04L 7/033
H03L 7/18
H04L 7/00

(21)Application number : 03-256464

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.10.1991

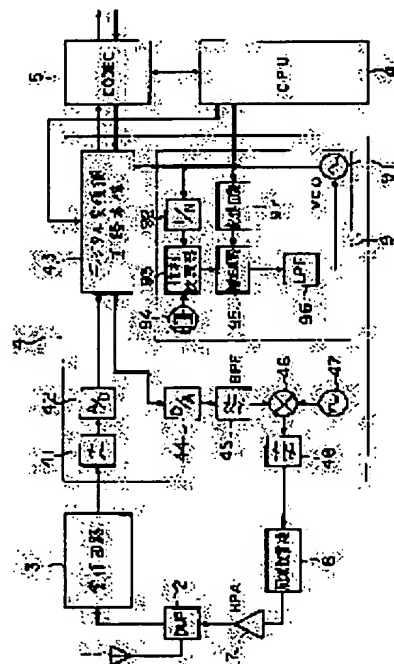
(72)Inventor : KAWASHIMA KAZUHIRO

(54) CLOCK OSCILLATING CIRCUIT

(57)Abstract:

PURPOSE: To generate an operation clock having high stability by a small-sized and inexpensive circuit by generating the operation clock in which time aging of a frequency is scarcely generated without using a reference oscillator of high accuracy.

CONSTITUTION: In a clock oscillating circuit 9 for generating an operation clock and supplying it to a digital modulating/demodulating circuit main body 43, a storage circuit 97 and a correcting circuit 95 are provided in addition to an oscillating circuit main body using a PLL circuit, and in the storage circuit 97, a time aging variation of a transmission rate of an output generated by the oscillating circuit main body to a receiving transmission rate of a radio digital signal sent from a base station is stored in advance as frequency correction data. In such a state, in accordance with time aging, the corresponding frequency correction data is read out of this storage circuit 97 and supplied to the correcting circuit 95, and by this correcting circuit 95, a control voltage value supplied to a VCO of the oscillating circuit main body is corrected, based on the frequency correction data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平5-102955^V

(43) 公開日 平成5年(1993)4月23日

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/033				
H 0 3 L 7/18				
H 0 4 L 7/00	F	8949-5K	H 0 4 L 7/02	B
		8949-5K	H 0 3 L 7/18	Z
		9182-5J		
審査請求 未請求 請求項の数1(全5頁)				

(21) 出願番号 特願平3-256464

(22) 出願日 平成3年(1991)10月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 川島 一廣

東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

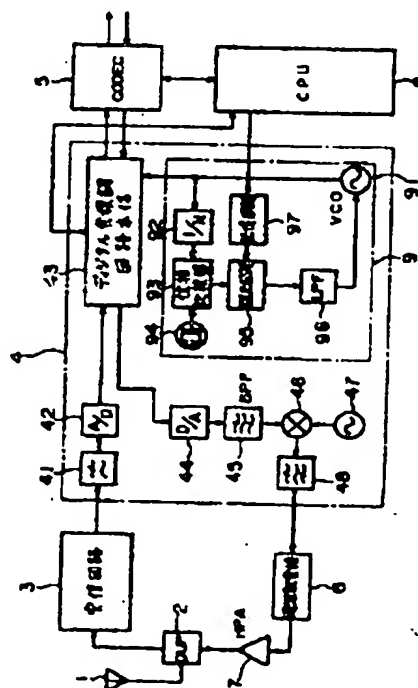
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 クロック発振回路

(57) 【要約】

【目的】 高精度の基準発振器を使用することなく、周波数の経時変化が少ない動作クロックを発生できるようにし、これにより小形で安価な回路により高安定の動作クロックを発生する。

【構成】 デジタル変復調回路本体43に対し動作クロックを発生して供給するクロック発振回路において、PLL回路を使用した発振回路本体に加えて、記憶回路97と、補正回路95とを備え、上記記憶回路97には、基地局から送られた無線デジタル信号の受信伝送速度に対する上記発振回路本体が発生する出力の伝送速度の経時変化量を周波数補正データとして予め記憶しておき、経時変化に従ってこの記憶回路97から対応する周波数補正データを読出して補正回路95に供給し、この補正回路95で上記周波数補正データに基づいて上記発振回路本体のVCOに供給する制御電圧値を補正するようにしたものである。



【特許請求の範囲】

【請求項1】 基地局との間で送受信する無線デジタル信号の変復調処理を少なくともデジタル信号処理にて行なう回路に対し、動作クロックを発生して供給するクロック発振回路において、

電圧制御発振器を有し、この電圧制御発振器から発生される動作クロック周波数を基準発振器の基準発振周波数と位相比較し、その差に応じて制御電圧を生成して上記電圧制御発振器に供給する発振回路本体と、

前記基地局から送られた無線デジタル信号の受信伝送速度に対する前記発振回路本体の出力の伝送速度の変化量を周波数補正情報として記憶した記憶手段と、

少なくとも経時変化に従って前記記憶手段から対応する周波数補正情報を読出し、この周波数補正情報に基づいて前記電圧制御発振器に供給する制御電圧を補正する補正手段とを具備したことを特徴とするクロック発振回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばデジタル変調方式を採用した自動車・携帯無線電話装置やコードレス電話機において、変復調処理を少なくともデジタル信号処理にて行なう回路に動作クロックを供給するために設けられるクロック発振回路に関する。

【0002】

【従来の技術】 従来、この種の回路は一般に位相同期ループ（PLL）を使用し、このループの電圧制御発振器（VCO）から発生される動作クロックの周波数を、例えば場水晶発振器を用いた基準発振器により発生される基準発振周波数に応じて安定化するようにしている。

【0003】

【発明が解決しようとする課題】 ところが、このような従来の回路にあっては、一般に基準発振器が発振周波数の経時変化（経年変化を含む）を有しているため、それに応じて動作クロックの周波数が変化するという問題点があった。動作クロックの周波数が変化すると、デジタル処理回路が誤動作を起こし易くなったり、また場合によっては動作停止に至るため極めて好ましくなかった。また、このような問題点は発振周波数の経時変化が少ない高精度の水晶発振器を使用すれば多少軽減することが可能である。しかし、このような基準発振器を使用すると回路構成の大形化やコストアップを招くという別の問題を生じていた。

【0004】 本発明は上記事情に替目してなされたもので、その目的とするところは、高精度の基準発振器を使用することなく、周波数の経時変化が少ない動作クロックを発生できるようにし、これにより小形で安価な回路により高安定の動作クロックを発生することができるクロック発振回路を提供することである。

【0005】

【課題を解決するための手段】 上記目的を達成するため本発明は、基地局との間で送受信する無線デジタル信号の変復調処理を少なくともデジタル信号処理にて行なう回路に対し、動作クロックを発生して供給する動作クロック発振回路において、位相同期ループを使用した発振回路本体に加えて、記憶手段と、補正手段とを備えている。そして、上記記憶手段には、基地局から送られた無線デジタル信号の受信伝送速度に対する、上記発振回路本体が発生する出力の伝送速度の変化量を周波数補正情報として予め記憶しておき、上記補正手段により、少なくとも経時変化に従って上記記憶手段から対応する周波数補正情報を読出し、この周波数補正情報に基づいて上記発振回路本体の電圧制御発振器に供給する制御電圧を補正するようにしたものである。

【0006】

【作用】 この結果本発明によれば、たとえ発振回路本体の基準発振器が発振周波数の経時変化を起こしても、記憶手段に記憶されている周波数補正情報に応じて、上記経時変化による動作クロックの変化は補正されることになる。このため、基準発振周波数の経時変化による影響は排除され、これにより動作クロックの周波数は安定に保たれる。また、上記周波数補正情報は基地局の送信周波数を基準に設定されているので、動作クロック周波数は高安定な基地局の送信周波数に依存することになり、極めて高安定に保持される。さらに、記憶手段および補正手段を追加するだけで実現できるので、高精度の基準発振器を設ける場合に比べて回路を極めて簡単かつ安価に構成することができる。

【0007】

【実施例】 以下、本発明をデジタル自動車電話装置のデジタル変復調回路に適用した場合を例にとって説明する。図1はその構成を示す回路ブロック図であり、周辺回路とともに示している。

【0008】 図示しない基地局から送信された無線デジタル信号は、アンテナ1で受信されたのち共用器（DUP）2を介して受信回路2に入力される。受信回路2では、上記高周波の無線デジタル信号が一旦中間周波信号に周波数変換されたのち、さらにベースバンド信号に周波数変換される。この受信ベースバンド信号はデジタル変復調回路4に入力され、このデジタル変復調回路4内において、低域通過フィルタ（LPF）41を介してA/D変換器42でデジタル信号に変換されたのち、デジタル変復調回路本体43に導入される。このデジタル変復調回路本体43は集積化されたデジタル処理回路からなり、上記受信ベースバンド信号はこのデジタル処理回路で復調されたのち、誤り訂正復号化および音声復号化のため、符号復号回路（CODEC）5に供給される。

【0009】 一方、符号復号回路5により音声符号化および誤り訂正符号化が行なわれた送話信号は、デジタ

ル変復調回路4のデジタル変復調回路本体43に入力される。このデジタル変復調回路本体43では、上記符号化送話信号に対しデジタル変調のための信号処理が行なわれる。このデジタル変復調回路本体43から出力された符号化送話信号は、D/A変換器44でアナログ信号に変換されたのち帯域通過フィルタ(BPF)45を経てミキサ46に入力され、ここで局部発振器47の発振周波数とミキシングされて中間周波信号に変換される。そしてこの送信中間周波信号は、帯域通過フィルタ48を経て送信周波数変換回路6により無線周波信号に周波数変換され、さらに送信電力増幅器(HPA)7で増幅されたのち共用器2を経てアンテナ1から基地局へ向けて送信される。

【0010】ところで、上記デジタル変復調回路4内には、デジタル変復調回路本体43に対し動作クロックを供給するためのクロック発振回路9が設けられている。このクロック発振回路9は、電圧制御発振器(VCO)91と、分周器92と、位相比較器93と、基準発振器94と、ループフィルタ(LPF)96とにより構成されるPLL回路を有し、さらに補正回路95および記憶回路97を備えている。

【0011】記憶回路97は、例えばEEPROMからなるメモリ部と、このメモリ部から読み出されたデジタルデータをアナログ信号に変換して保持するD/A変換部とから構成される。上記メモリ部には、周波数の経時変化量(周波数ずれ)に対応する電圧値が、周波数補正データとして予め記憶してある。そしてこの周波数補正データは、制御回路(CPU)8から供給されるアドレスおよび読出し指示に従ってメモリ部から読み出され、D/A変換部でアナログ信号に変換されたのち補正回路95に供給される。

【0012】補正回路95は、上記PLL回路の位相比較器93とループフィルタ96との間に介挿されている。この補正回路95では、位相比較器93から出力された差信号が、上記記憶回路97から供給された周波数補正データのアナログ信号により補正される。そして、この補正された差信号がループフィルタ96で平滑されたのち制御電圧としてVCO91に供給される。

【0013】このような構成であるから、発呼操作が行なわれるかまたは着呼が発生することに、CPU8からその時点での装置の受信周波数のずれに対応するアドレスと読出し指示とが発生されて記憶回路97に供給される。このため、記憶回路97からは上記受信周波数のずれを表わすデータに対応する周波数補正データが読み出され、そのアナログ値が補正回路95に供給される。そうすると、補正回路95では位相比較器93から出力された差信号が、上記周波数補正データのアナログ値に応じて補正され、この補正された差信号がループフィルタ96で平滑されたのちVCO91に制御電圧として供給される。このため、VCO91からは装置の通算使用時

間に応じて周波数が補正された動作クロックが発振され、デジタル変復調回路本体43に供給される。

【0014】したがって、PLL回路の基準発振器94の発振周波数が経時変化を起こしたとしても、この基準発振周波数の経時変化による動作クロック周波数の変化は自動的に補正され、この結果デジタル変復調回路本体43には周波数の経時変化が無い常に安定な動作クロックを供給することができる。したがって、デジタル変復調回路本体43の動作を半永久的に安定に保つことができる。

【0015】また、記憶回路97には、周波数の経時変化量に対応する電圧値が、周波数補正データとして記憶されているので、動作クロック周波数は結果的に基地局の極めて高精度の送信周波数を基準に補正されることになる。つまり、動作クロック周波数の精度を基地局の送信周波数の精度に依存させて高精度に保持することができる。

【0016】さらに本実施例では、記憶回路97および例えば電圧加算回路もしくはそれに相当する信号処理回路からなる補正回路95を追加するだけで実現でき、しかも高精度の基準発振器を設ける必要がないので、回路を簡単かつ安価に構成することができる。

【0017】なお、本発明は上記実施例に限定されるものではない。例えば、上記実施例ではPLL回路に対応させて記憶回路97および補正回路95をアナログ回路により構成した場合について説明したが、デジタルPLL回路が使用されている場合には、それに対応させて記憶回路および補正回路をデジタル回路により構成してもよい。

【0018】また、前記実施例では位相比較器93の後段に補正回路95を挿入して差信号を補正するようにしたが、ループフィルタ96の後段に補正回路を挿入してループ回路96から出力される制御電圧を補正するように構成してもよい。

【0019】さらに、前記実施例では基準発振周波数の経時変化のみを考慮して周波数補正データを設定するようにしたが、基準発振器の基準発振周波数が温度特性を有している場合には、この温度特性も考慮して周波数補正データを設定するようにしてもよい。この場合には、装置の受信周波数のずれおよび装置内の温度に応じてアドレスを生成して記憶回路をアクセスすることにより、その時点で最適な周波数補正データを読み出して補正回路に供給することができ、これによりさらに高精度の補正を行なうことが可能となる。

【0020】その他、記憶回路および補正回路の回路構成や制御回路による制御手順および制御内容、周波数補正情報の構成、デジタル変復調回路の構成、適用する無線装置の用途や用途等についても、本発明の要旨を逸脱しない範囲で種々変形して実施できる。

【0021】

【発明の効果】以上詳述したように本発明は、基地局との間で送受信する無線デジタル信号の変復調処理を少なくともデジタル信号処理にて行なう回路に対し、動作クロックを発生して供給するクロック発振回路において、位相同期ループを使用した発振回路本体に加えて、記憶手段と、補正手段とを備えている。そして、上記記憶手段に、基地局から送られた無線デジタル信号の受信伝送速度に対する、上記発振回路本体が発生する出力の伝送速度の変化量を周波数補正情報として予め記憶しておき、上記補正手段により、少なくとも経時変化に従って上記記憶手段から対応する周波数補正情報を読出し、この周波数補正情報に基づいて上記発振回路本体の電圧制御発振器に供給する制御電圧を補正するようにしたものである。

【0022】したがって本発明によれば、高精度の基準発振器を使用することなく、周波数の経時変化が少ない動作クロックを発生することができ、これにより小形で安価な回路により高安定の動作クロックを発生すること

ができるクロック発振回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例におけるクロック発振回路を有するデジタル変復調回路の構成を示す回路ブロック図。

【符号の説明】

1…アンテナ、2…共用器(DUP)、3…受信回路、4…デジタル変復調回路、5…符号復号回路、6…送信周波数変換回路、7…送信電力増幅器(HPPA)、8…制御回路(CPU)、9…クロック発振回路、41…低域通過フィルタ(LPF)、42…A/D変換器、43…デジタル変復調回路本体、44…D/A変換器、45、48…帯域通過フィルタ(BPF)、46…ミキサ、47…局部発振器、91…電圧制御発振器(VCO)、92…分周器、93…位相比較器、94…基準発振器、95…補正回路、96…ループフィルタ、97…記憶回路。

【図1】

